

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293618

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl.⁹

H 0 1 L 29/861

識別記号

庁内整理番号

F I

H 0 1 L 29/91

技術表示箇所

D

L

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号

特願平7-95499

(22) 出願日

平成7年(1995)4月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大村 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

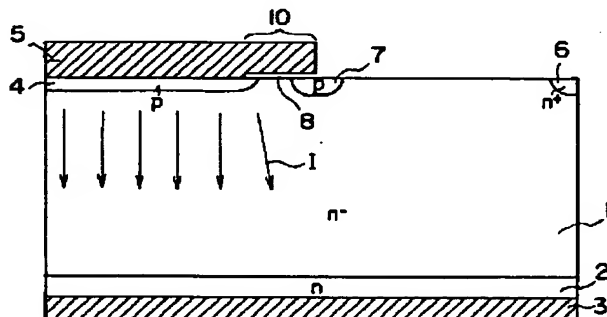
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 高耐圧半導体素子

(57) 【要約】

【目的】 逆回復時に接合終端部が高電圧・高電流密度になるのを防止して、安全動作領域を広げること。

【構成】 n型ベース層1の表面にp型エミッタ層4を囲むようにp型拡散層7を形成する。このp型拡散層7はp型エミッタ層4に接しないように形成する。p型拡散層7とp型エミッタ層4との間のn型ベース層1上に絶縁膜8を介してアノード電極5と一体的に形成された電極10を配設する。



【特許請求の範囲】

【請求項1】第1導電型半導体層と、

この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともにダイオードを構成する第1の第2導電型半導体層と、

前記第1導電型半導体層の表面に前記第1の第2導電型半導体層に接しず前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、
前記第1の第2導電型半導体層に設けられた第1の主電極と、

前記第1導電型半導体層に設けられた第2の主電極と、
前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との間の前記第1導電型半導体層上に絶縁膜を介して配設された第3の電極とを具備してなることを特徴とする高耐圧半導体素子。

【請求項2】第1導電型半導体層と、

この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともに第1のダイオードを構成する第1の第2導電型半導体層と、

前記第1導電型半導体層の表面に、前記第1の第2導電型半導体層に接しず前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、
前記第1の第2導電型半導体層に設けられた第1の主電極と、

前記第1導電型半導体層に設けられた第2の主電極と、
アノード側が前記第2の第2導電型半導体層に接続され、カソード側が前記第1の主電極に接続された第2のダイオードとを具備してなることを特徴とする高耐圧半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ダイオード構造を有する高耐圧半導体素子に関する。

【0002】

【従来の技術】従来より、種々の高耐圧半導体素子が使用されている。図23に従来の高耐圧半導体素子の一例として高耐圧ダイオードの断面図を示す。この図23には、オン状態における素子内の電流密度Jの分布も示されている。

【0003】図中、91は高抵抗のn型ベース層を示しており、このn型ベース層91の表面にはp型エミッタ層94が選択的に拡散形成され、一方、n型ベース層91の裏面にはn型エミッタ層92が拡散形成されている。p型エミッタ層94にはアノード電極95が設けられ、n型エミッタ層92にはカソード電極93が設けられている。

【0004】また、この高耐圧ダイオードには、以下のような接合終端構造が形成されている。すなわち、n型ベース層91の表面には耐圧を高めるための高濃度の深いp型ガードリング層97がp型エミッタ層94を囲む

ようにp型エミッタ層94に接して形成されている。

【0005】また、n型ベース層91の表面にはアノード・カソード間に逆バイアス電圧がかかったときに空乏層が基板端にまで広がるのを防止するための高濃度のn型ストッパ層96が形成されている。

【0006】このように構成された高耐圧ダイオードに順バイアス電圧を与えてオン状態にすると、p型ガードリング層97がアノード電極95と電氣的に接続されているため、p型ガードリング層97からも正孔の注入が起こる。さらに、p型ガードリング層97は濃度が高く、拡散深さが深いため、p型ガードリング層97はp型エミッタ層94よりも高い効率で正孔を注入する。

【0007】このようにp型ガードリング層97の正孔注入効率が高くなる結果、p型ガードリング層97に電流Iが集中し、p型ガードリング層97の電流密度は高くなる。

【0008】図24は、図23のダイオードの素子部Aおよび接合終端部(p型ガードリング層97)Bにおける電流密度Jとアノード・カソード間の電圧Vとの関係を示す特性図である。図中、V1は図23の電流密度分布が得られた電圧を示している。

【0009】電流密度Jが低い電圧領域($V < V1$)では、電圧Vが低いほど素子部Aを主に電流が流れ、素子全体に均一に電流が流れる。一方、電流密度Jが高い電圧領域($V > V1$)では、電圧Vが高いほど接合終端部Bを主に電流が流れ、その結果、接合終端部Bに電流が集中する。したがって、大電流を流すために電圧Vを大きくするほど接合終端部Bに電流が集中する。

【0010】このような電流集中が生じているオン状態から、オフ状態に切り替えると(リバースリカバリ)、接合終端部は高電圧・高電流密度の状態になる。このような状態は素子破壊を招く原因となる。このため、従来の高耐圧ダイオードでは電圧Vを大きくできず、安全動作領域が著しく制限されるという問題があった。

【0011】

【発明が解決しようとする課題】上述の如く、従来の高耐圧ダイオードはオン状態のときに接合終端部に電流が集中し、オン状態からオフ状態に切り替えた時(逆回復時)に接合終端部が高電圧・高電流密度の状態になるため、素子破壊が起こり易く、安全動作領域が著しく制限されるという問題があった。本発明は、上記事情を考慮してなされたもので、その目的とするところは、従来よりも、安全動作領域の広い高耐圧半導体素子を提供することにある。

【0012】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置(請求項1)は、第1導電型半導体層と、この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともにダイオードを構成する第1の第2導電型半導体層と、前記第1

10

20

30

40

50

導電型半導体層の表面に前記第1の第2導電型半導体層に接しず前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、前記第1の第2導電型半導体層に設けられた第1の主電極と、前記第1導電型半導体層に設けられた第2の主電極と、前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との間の前記第1導電型半導体層上に絶縁膜を介して配設された第3の電極とを備えたことを特徴とする。

【0013】本発明に係る他の半導体装置（請求項2）は、第1導電型半導体層と、この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともに第1のダイオードを構成する第1の第2導電型半導体層と、前記第1導電型半導体層の表面に、前記第1の第2導電型半導体層に接しず前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、前記第1の第2導電型半導体層に設けられた第1の主電極と、前記第1導電型半導体層に設けられた第2の主電極と、アノード側が前記第2の第2導電型半導体層に接続され、カソード側が前記第1の主電極に接続された第2のダイオードとを備えたことを特徴とする。

【0014】ここで、第3の電極は、第1の主電極と電氣的に接続されていることが好ましい。第3の電極は、第1の主電極と一体的に形成されていることが好ましい。

【0015】上記絶縁膜の厚さは0.5 μ m以下であることが好ましい。第1の第2導電型半導体層と第2の第2導電型半導体層との距離は、上記絶縁膜の厚さの30倍以上であることが好ましい。

【0016】上記絶縁膜は熱酸化膜であることが好ましい。第2の第2導電型半導体層は、第1の第2導電型半導体層よりも深く形成されていることが好ましい。

【0017】第2の第2導電型半導体層の表面不純物濃度は、第1の第2導電型半導体層の実質的な表面不純物濃度よりも高いことが好ましい。第2の第2導電型半導体層の不純物総量は、第1の第2導電型半導体層の実質的な不純物総量よりも多いことが好ましい。

【0018】第2の第2導電型半導体層は、第1導電型半導体層の表面に拡散形成したものでも良いし、第1導電型半導体層の表面に溝を形成し、この溝内に第2導電型の不純物を含む半導体層を埋め込んだものでも良い。

【0019】また、本発明の変形例としては、第1の第2導電型半導体層を形成せず、第1導電型半導体層に第1の主電極をショットキー接合させたものがある。また、本発明の他の変形例としては、第3の電極を配設せずに、第1の第2導電型半導体層と第2の第2導電型半導体層とを半絶縁性の低抗体で接続したものがある。

【0020】また、本発明の他の変形例としては、第1の第2導電型半導体層を形成せず、第1導電型半導体層に第1の主電極をショットキー接合させ、かつ第2の第2導電型半導体層と上記ショットキー接合の部分（ショ

ットキー接合面）とを交互に配列形成したものがある。ここで、第2の第2導電型半導体層にガードリングとしての第2導電型半導体層を設けても良い。

【0021】

【作用】本発明（請求項1）によれば、第1の主電極と第2の主電極との間に順バイアス電圧を与えて、素子をオン状態にする場合に、第3の電極の下部の第1導電型半導体層の表面にチャネルが誘起されない電圧、つまり、第1の第2導電型半導体層と第2の第2導電型半導体層とが短絡されない電圧、例えば0Vを第3の電極に印加すれば、第2の第2導電型半導体層には電圧は印加されない。

【0022】この結果、第1の第2導電型半導体層の実効的なキャリアの注入効率は第1の第2導電型半導体層のみで決定され、従来とは異なり、キャリアの注入効率は高くない。さらに、第2の第2導電型半導体層からのキャリアの注入も起こらない。したがって、オン状態においては、従来とは異なり、第1の第2導電型半導体層の端部、第2の第2導電型半導体層に電流は集中しない。

【0023】一方、第1の主電極と第2の主電極との間に逆バイアス電圧を与えて、オン状態からオフ状態に切り替える場合に、電極の下部の第1導電型半導体層の表面にチャネルが誘起される電圧、つまり、第1の第2導電型半導体層と第2の第2導電型半導体層とが短絡される電圧、例えば0Vを第3の電極に印加すれば、第2の第2導電型半導体層は、第3の電極、第2の第2導電型半導体層、第1の第2導電型半導体層等により形成されるMOSFETのしきい値電圧に固定される。このしきい値電圧は、第1の主電極と第2の主電極との間の電圧に比べて低い電圧である。

【0024】このため、第1の第2導電型半導体層の端部にかかる横方向の電界は第2の第2導電型半導体層によりシールドされ、第2の第2導電型半導体層の外側に形成される強電界の影響を受けず、第1の第2導電型半導体層の端部に形成される横方向の電界は弱いものとなる。

【0025】以上の結果、本発明によれば、オン状態では接合終端部（第1の第2導電型半導体層の端部、第2の第2導電型半導体層）に電流は集中せず、オフ状態では第1の第2導電型半導体層に形成される電界は弱いので、オン状態からオフ状態に切り替えた時（逆回復時）に第1の第2導電型半導体層の端部、第2の第2導電型半導体層が高電圧・高電流密度になることはなく、したがって、素子破壊は起こらず、従来よりも安全動作領域は広がる。

【0026】本発明（請求項2）によれば、オン状態では第2のダイオードは逆バイアスされるので、第1の第2導電型半導体層と第2の第2導電型半導体層とは短絡されず、オフ状態では第2のダイオードは順バイアスさ

10

20

30

40

50

れ、第2の第2導電型半導体層の電圧はほぼ第2のダイオードのしきい値電圧に保たれる。

【0027】したがって、第2のダイオードは上記発明（請求項1）の第3の電極等により形成されるMOSFETと同様な働きをするので、上記発明（請求項1）と同様な作用効果が生じる。

【0028】

【実施例】以下、図面を参照しながら実施例を説明する。

（第1の実施例）図1は、本発明の第1の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0029】図中、1は高抵抗のn型ベース層を示しており、このn型ベース層1の表面にはp型エミッタ層4が選択的に拡散形成されている。また、n型ベース層1の表面にはp型エミッタ層4を囲むようにp型拡散層7が形成されている。このp型拡散層7はp型エミッタ層4に接していない。p型拡散層7の外側のn型ベース層1の表面には高濃度のn型ストップパ層6が形成されている。

【0030】ここで、p型拡散層7の表面不純物濃度は、p型エミッタ層4の実質的な表面不純物濃度よりも高いことが好ましい。また、p型拡散層7の不純物総量はp型エミッタ層4の実質的な不純物総量より多いことが好ましい。

【0031】さらにまた、p型拡散層7はp型エミッタ層4よりも深いほうが好ましい。一方、n型ベース層1の裏面にはn型エミッタ層2が形成されている。このn型エミッタ層2にはカソード電極3が設けられている。また、p型エミッタ層4にはアノード電極5が設けられている。

【0032】また、p型エミッタ層4とp型拡散層7との間のn型ベース層1上には絶縁膜8を介して電極10が配設され、p型エミッタ層4とp型拡散層7とを選択的に短絡するMOSゲート構造（pチャネルMOSFET）が形成されている。

【0033】ここで、絶縁膜8は熱酸化膜であることが好ましい。また、絶縁膜8は0.5μm以下の膜厚であることが好ましい。また、電極10はアノード電極5と一体的に形成されたものである。言い換えれば、アノード電極5はp型エミッタ層4からはみだして形成され、このはみだした部分が第3の電極として用いられる。

【0034】なお、p型エミッタ層4の周囲全てに上記MOSゲート構造を形成する必要はない。このように構成された高耐圧ダイオードに順バイアス電圧を与えると素子はオン状態になり、アノード・カソード間に電流が流れる。このとき、pチャネルMOSFETはp型拡散層7の電圧が低い状態となるので、p型エミッタ層4とp型拡散層7とは短絡されず、p型拡散層7には電流が流れない。

【0035】このため、p型拡散層7からの正孔の注入

が起こらない。したがって、オン状態においては、従来とは異なり、接合終端部（p型エミッタ層4の端部、p型拡散層7）に電流Iは集中しない。

【0036】このような状態において、逆バイアス電圧を与えて、オン状態からオフ状態に切り替えると、電極10に対してp型拡散層7の電圧が、電極10の下部にp型チャネルが誘起され、pチャネルMOSFETがオン状態となる電圧（pチャネルMOSFETのしきい値電圧）に固定される。すなわち、pチャネルMOSFETはソースホロウであるので、p型拡散層7の電位は、pチャネルMOSFETのしきい値電圧に固定される。

【0037】図2にオフ状態の素子内の電界の様子を示す。図中、9はp型チャネルを示している。p型拡散層7およびn型ストップパ層6には横方向の成分が大きい電界E2、E3が形成され、一方、p型エミッタ層4の端部には横方向の成分が小さい電界E1が形成される。

【0038】これはオフ状態ではp型エミッタ層4とp型拡散層7とが短絡し、p型拡散層7の電位が低電圧であるしきい値電圧（例えばソース・ドレイン間の電圧は数千Vであるがしきい値電圧は4V程度である）に保たれる結果、横方向の電界に対してp型エミッタ層4がp型拡散層7によりシールドされ、大きい電界E2の影響を受け難くなるからである。

【0039】オン状態では接合終端部（p型エミッタ層4の端部、p型拡散層7）に電流は集中せず、そして、オフ状態ではp型エミッタ層4の端部に形成される電界E1は弱いので、オン状態からオフ状態に切り替えた時（逆回復時）にp型エミッタ層4の端部が高電圧・高電流密度になることはない。

【0040】一方、オフ状態でp型エミッタ層4と反対側のp型拡散層7の端部に高い電界E2は形成されるものの、オン状態で電流が流れないので、逆回復時にp型拡散層7が高電圧・高電流密度になることはない。

【0041】したがって、本実施例によれば、逆回復時に接合終端部が高電圧・高電流密度の状態になることはないので、素子破壊は起こらず、従来よりも安全動作領域が広がる。

【0042】図13を用いて絶縁膜8の膜厚T₁とp型エミッタ層4からp型拡散層7までの距離Lとの好ましい関係について説明する。p型拡散層7に加わる電位をV、p型拡散層7に加わる水平方向電界をE_hとすると、E_h = V/Lとなる。

【0043】十分な耐圧を確保するためには、E_h < 0.1E_vであることが好ましい。ここで、E_vはp型拡散層7に加わる垂直方向電界を示している。電位Vは簡単なモデルで、V = T₁ · E₁ = T₁ · ε₁ · E_v / ε₁と表せられる。ここで、E₁は絶縁膜8に加わる電界、ε₁はn型ベース層1の誘電率、ε₂は絶縁膜の誘電率を示している。

【0044】したがって、不等式E_h < 0.1E_vは、

$T_e \cdot \epsilon_s \cdot E_v / (L \cdot \epsilon_s) < 0.1 E_v$ となり、この式より、 $L > 10 \cdot \epsilon_s \cdot T_e / \epsilon_s$ が得られる。ここで、n型ベース層1の材料がシリコン、絶縁膜8の材料が酸化シリコンである場合には、 $10 \cdot \epsilon_s \cdot T_e / \epsilon_s$ はほぼ $30 T_e$ となる。よって、耐圧を確保するには L は $30 T_e$ より大きいことが望ましい。

(第2の実施例) 図3は、本発明の第2の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。なお、以下の実施例の図において前出した図と対応する部分には前出した図と同一符号を付してあり、詳細な説明は省略する。

【0045】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、p型エミッタ層4の表面にn型拡散層11を選択的に形成して、p型エミッタ層4の正孔注入効率を小さくすることにより、素子の高速化を図ったことにある。

【0046】本実施例によれば、第1の実施例と同様に、逆回復時に接合終端部が高電圧・高電流密度の状態になることはないので、n型拡散層11が存在しても、n型拡散層11、p型エミッタ層4およびn型ベース層1からなる寄生トランジスタが動作するために必要なベース電流が流れない。したがって、寄生トランジスタが動作するという問題は生じない。

(第3の実施例) 図4は、本発明の第3の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0047】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、アノード電極5がp型エミッタ層4にショットキー接合され、pn接合ではなくショットキー接合によりダイオードが形成されていることにある。

【0048】従来のショットキーダイオードの場合、p型拡散層7がアノード電極5に接するように形成されているため、素子の安全動作領域が狭くなり、さらにショットキーダイオードの特徴である高速逆回復特性も劣化する問題がある。

【0049】しかし、本実施例によれば、オン状態ではアノード電極5とn型ベース層1との界面(ショットキー接合面)とp型拡散層7とは短絡されず、オフ状態ではこれらが短絡されるので、オン状態では電流はショットキー接合面を通り、p型拡散層7に電流は集中しない。したがって、先の実施例と同様に、安全動作領域は広くなり、逆回復特性も改善される。

(第4の実施例) 図5は、本発明の第4の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0050】本実施例の高耐圧ダイオードが第3の実施例のそれと異なる点は、アノード電極5の端部、言い換えれば、アノード電極5と電極10との境界部に浅いp型拡散層14を形成することにより、オフ状態におけるアノード電極5の角からのリーク電流を抑制することにある。

【0051】なお、浅いp型拡散層13の大きさは、オン状態のときに正孔の注入が生じない程度にすることが望ましい。

(第5の実施例) 図6は、本発明の第5の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0052】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、アノード電極5とp型拡散層7とを選択的に短絡するpチャネルMOSFETを接合終端部ではなく、素子領域内に形成したことにある。

【0053】本実施例によれば、pチャネルMOSFETが接合終端領域の電界集中の影響を受けなくなるので、p型拡散層7の電位がより安定し、本発明の効果をさらに高めることができる。

(第6の実施例) 図7は、本発明の第6の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0054】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、pチャネルMOSFETではなく、ダイオード7によりアノード電極5とp型拡散層7とを選択的に短絡することにある。ダイオード7は例えばポリシリコンなどで形成する。

【0055】ダイオード7のアノード側はp型拡散層7に接続され、カソード側はアノード電極5に接続されている。この結果、オン状態ではダイオード14は逆バイアスされるので、p型エミッタ層4とp型拡散層7とは短絡されず、オフ状態ではダイオード14は順バイアスされ、p型拡散層7の電圧はほぼダイオード14のしきい値電圧に保たれる。

【0056】したがって、ダイオード14は第1の実施例の電極10により形成されるpチャネルMOSFETと同様な働きをするので、第1の実施例と同様な効果が得られる。

【0057】なお、本実施例では1つのダイオードの個数を用いたが、複数のダイオードを順方向に直列に接続したものを用いても良い。

(第7の実施例) 図8は、本発明の第7の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0058】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、素子端部はテーパ状にカットされ、p型拡散層7は接合終端領域の端部にまで形成されていることにある。すなわち、本実施例では、n型ストッパ層6の代わりにベベル構造により耐圧を高めていることにある。

(第8の実施例) 図9は、本発明の第8の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0059】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、n型ベース層1の表面にp型リサーフ層18をp型拡散層7に接して形成したことにある。本実施例によれば、p型リサーフ層18によりp型拡散層7の電界集中が緩和され、第1の実施例よりもさらに耐圧を改善できる。

(第9の実施例) 図10は、本発明の第9の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0060】本実施例の高耐圧ダイオードが第1の実施例のそれと異なる点は、n型ベース層1の表面にp型ガードリング層19を形成したことにある。本実施例によれば、p型ガードリング層19によりp型拡散層7の電界集中が緩和され、第1の実施例よりもさらに耐圧を改善できる。

(第10の実施例) 図11は、本発明の第10の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0061】本実施例の特徴は、SIPOS等の半絶縁性部材20によりp型エミッタ層4とp型拡散層7とを接続することにより、pチャネルMOSFETと同様な効果を狙ったことにある。なお、図中、15は絶縁膜を示している。

【0062】オン状態ではアノード・カソード間は導通状態になるので、アノード・カソード間の抵抗は半絶縁性部材20よりも低くなる。したがって、電流はほとんどアノード・カソード間を流れ、半絶縁性部材20にほとんど電流は流れないので、p型拡散層7とp型エミッタ層4とは実質的に短絡されない。

【0063】一方、オフ状態ではアノード・カソード間にはほとんど電流は流れず、半絶縁性部材20に流れるのはリーク電流である。つまり、半絶縁性部材20に流れる電流は微小な電流である。したがって、半絶縁性部材20に生じる電圧降下は小さく、半絶縁性部材20の電圧は低いものとなる。

【0064】したがって、半絶縁性部材20は第1の実施例の電極10により形成されるpチャネルMOSFETと同様な働きをするので、第1の実施例と同様な効果が得られる。

【0065】なお、本実施例の場合、p型拡散層7は必ずしも必要ではなく、p型拡散層7が無い場合には絶縁膜15は不要になる。本実施例によれば、簡単な構造でpチャネルMOSFETを形成した場合と同様な効果を得ることが可能である。

(第11の実施例) 図12は、本発明の第11の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0066】本実施例の高耐圧ダイオードが第10の実施例のそれと異なる点は、半絶縁性部材20の代わりに浅いp型拡散層22によりp型エミッタ層4とp型拡散層7とを接続したことにある。本実施例でも、第10の実施例と同様な効果が得られる。

(第12の実施例) 図14は、本発明の第12の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0067】本実施例の特徴は、図1のp型拡散層7を多段構造にしたことにある。すなわち、図1のp型拡散

層7の外側にさらにp型拡散層7aを形成するとともに、p型拡散層7にp型拡散層7aにまで延びたフローティング電極17を設けたことにある。

【0068】本実施例によれば、より広い領域にわたって電位を固定できるので、第1の実施例の効果をより高くできる。

(第13の実施例) 図15は、本発明の第13の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0069】本実施例では、p型拡散層7およびショットキー接合面が配列交互に形成された構造となっており、図4の高耐圧ダイオードの構造、つまり、p型拡散層7がショットキー接合面の周りをリング状に囲む構造とは異なる。p型拡散層7およびショットキー接合面の形状は例えばストライプ状である。

【0070】本発明者等の研究によれば、このような構造であれば、オフ状態には図15に示すような等位線Ea、Eb、Ecが形成され、ショットキー接合面の下部の電界密度は低いものとなることが分かった。

【0071】したがって、本実施例によれば、ショットキー接合面における縦方向の電界密度を緩和できるので、ショットキーバリアの低下によるリーク電流を低減できる。また、リーク電流を低減できる分だけ、従来よりも高温動作が可能となる。なお、第1～第12の実施例では横方向の電界密度を緩和している。

(第14の実施例) 図16は、本発明の第14の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0072】本実施例の高耐圧ダイオードが第13の実施例のそれと異なる点は、p型拡散層7をトレンチ構造にしたことにある。すなわち、n型ベース層1の表面にトレンチ溝を形成し、このトレンチ溝内にp型不純物を含んだ多結晶シリコン層などのp型半導体層7aを埋め込んだことにある。

【0073】本実施例でも、第13の実施例と同様に、ショットキー接合面の下部の電界密度は低いものとなるので、リーク電流の改善や、高温動作が可能となる。

(第15の実施例) 図17は、本発明の第15の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0074】本実施例の高耐圧ダイオードが第14の実施例のそれと異なる点は、p型半導体層7aとアノード電極5とを選択的に短絡するpチャネルMOSFETをp型半導体層7aとは離れた部分あるいはp型半導体層7aの一部分にのみ形成したことにある。

【0075】本実施例によれば、pチャネルMOSFETを必ずしもp型半導体層7aのまわり全てに形成する必要はないので、素子形成が容易になる。

(第16の実施例) 図18は本発明の第16の実施例に係る高耐圧ダイオードの平面図、図19は図18の高耐

圧ダイオードのA-A'断面図、図20は図19のB-B'断面斜視図である。この高耐圧ダイオードはアノード電極5がn型ベース層1にショットキー接合されたショットキータイプのものである。

【0076】本実施例の高耐圧ダイオードが図15に示した第13に実施例のそれと異なる点は、各p型拡散層7に接続された埋め込みp型層13を設けたことにある。この埋め込みp型層13はショットキー接合面にかかる縦方向の電界を低くする。埋め込みp型層13は高密度に形成できるため、ショットキー接合界面にかかる縦方向の電界密度は第13の実施例のそれよりも低くできる。また、ショットキー接合面積を十分に取れるため、素子の有効面積を前の実施例に比べて広くできる。したがって、第13の実施例の効果をさらに高めた高耐圧ダイオード（ショットキーダイオード）が得られるようになる。

（第17の実施例）図21は、本発明の第17の実施例に係る高耐圧ダイオードの素子構造を示す断面図である。

【0077】本実施例の特徴は、SOI（Semiconductor On Insulator）基板を用いて図1の素子構造を横型にしたことにある。SOI基板は支持基体21とSOI絶縁膜22とn型ベース層（SOI半導体膜）23により形成されている。支持基体21は無くても良い。通常、SOI絶縁膜22はシリコン酸化膜、SOI半導体膜1はシリコン膜であるが、それぞれに他の絶縁膜、他の半導体膜を用いても良い。

【0078】また、本実施例では、p型拡散層7とその外側のn型ベース層1との界面を含むp型拡散層7およびn型ベース層1上に絶縁膜24を介して電極10およびアノード電極5と一体的に形成された耐圧を高めるためのフィールドプレート電極25を配設している。

（第18の実施例）図22は、本発明の第18の実施例に係る横型IGBTの素子構造を示す断面図である。図22（a）は非IGBT部分を示す断面図であり、図22（b）はIGBT部分を示す断面図である。基本的には全ての部分を図22（b）に示す素子構造にしても良い。

【0079】図中、32、26、27、28、29はそれぞれIGBTの構成するp型ドレイン層、n型バッファ層、n型ベース層（n型ドリフト層）、p型ベース層、n型ソース層を示している。

【0080】図22（b）に示すように、ソース電極30はp型ベース層28およびn型ソース層29の両方にコンタクトしている。p型ドレイン層24にはドレイン電極31が設けられている。

【0081】n型ソース層29からp型拡散層7にまたがる領域上には絶縁膜8を介して電極10が配設されている。この電極10はIGBTのn型ソース層29とn型ベース層27とを選択的に短絡するためのnチャネル

MOSFETと今まで説明したpチャネルMOSFETとを形成する。また、電極10はフィールドプレート電極23とは一体的に形成されているが、ソース電極30とは図示しない絶縁膜により絶縁され、一体的には形成されていない。

【0082】また、図22（a）に示すように、部分的には、n型ソース層29が形成されていない領域、つまり、IGBTが形成されていない領域が設けられており、この領域ではソース電極30、電極10およびフィールドプレート電極23は一体的に形成されている。

【0083】ターンオン時にはソース電極30、電極10にドレインに対して正の電圧を印加する。この結果、上記nチャネルMOSFETがオン状態となりn型ソース層29とn型ベース層27とが短絡して導電変調が起こり、素子はオン状態となる。

【0084】このとき、上記pチャネルMOSFETはオン状態にならないのでp型拡散層7とp型ベース層28とは短絡されない。したがって、第1の実施例と同様にオン状態では電流の集中は起こらない。

【0085】一方、ターンオフ時にはソース電極30、電極10にドレインに対して負の電圧を印加する。この結果、上記nチャネルMOSFETがオフ状態となりn型ソース層29からn型ベース層27への電子注入が停止して、素子はオフ状態となる。

【0086】このとき、上記pチャネルMOSFETはオン状態になるのでp型拡散層7とp型ベース層28とが短絡し、第1の実施例と同様に、p型ベース層28の端部には弱い電界が形成され、さらにオン状態では電流の集中が起こらないので、従来よりも安全動作領域は広がる。

【0087】さらに、本実施例ではIGBTが形成されていない領域、つまり、オフ時にp型拡散層7とp型ベース層28とを選択的に短絡するための領域を形成している。この領域ではIGBTの影響を受けずに済むので、p型拡散層7の電位を確実に低レベルに固定でき、第1の実施例と同様な効果を確実に得ることができる。

【0088】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、電極10を接合終端領域に形成したが、接合終端領域以外の素子領域部分内に形成しても良い。すなわち、ショットキー接合面とp型拡散層7とを選択的に短絡するp型MOSゲートを素子領域に形成しても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0089】

【発明の効果】以上詳述したように本発明によれば、オン状態では第1の第2導電型半導体層および第2の第2導電型半導体層に電流は集中せず、オフ状態では第1の第2導電型半導体層の端部に強い電界は形成されない。

【0090】したがって、オン状態からオフ状態に切り

替えた場合に、第1の第2導電型半導体層および第2の第2導電型半導体層が高電圧・高電流密度になることがないので、従来よりも安全動作領域は広がる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図2】図1の高耐圧ダイオードのオフ状態時の素子内の電界の様子を示す図

【図3】本発明の第2の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図4】本発明の第3の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図5】本発明の第4の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図6】本発明の第5の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図7】本発明の第6の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図8】本発明の第7の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図9】本発明の第8の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図10】本発明の第9の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図11】本発明の第10の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図12】本発明の第11の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図13】絶縁膜の膜厚 T_0 とp型エミッタ層からp型拡散層までの距離 L との好ましい関係を説明するための図

【図14】本発明の第12の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図15】本発明の第13の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図16】本発明の第14の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図17】本発明の第15の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図18】本発明の第16の実施例に係る高耐圧ダイオードの平面図

【図19】図18の高耐圧ダイオードのA-A'断面図

【図20】図18の高耐圧ダイオードのB-B'断面斜

視図

【図21】本発明の第17の実施例に係る高耐圧ダイオードの素子構造を示す断面図

【図22】本発明の第18の実施例に係る横型IGBTの素子構造を示す断面図

【図23】従来の高耐圧ダイオードの素子構造を示す断面図

【図24】図23のダイオードの素子部および接合終端部における電流密度 J とアノード・カソード間の電圧 V との関係を示す特性図

【符号の説明】

1…n型ベース層（第1導電型半導体層）

2…n型エミッタ層

3…カソード電極（第2の主電極）

4…p型エミッタ層（第1の第2導電型半導体層）

5…アノード電極（第1の主電極）

6…n型ストッパ層

7…p型拡散層（第2の第2導電型半導体層）

8…絶縁膜

20 9…p型チャネル

10…電極（3第の電極）

11…n型拡散層

12…埋め込みp型層

13…浅いp型拡散層

14…ダイオード（第2のダイオード）

15…絶縁膜

17…フローティング電極

18…p型リザーブ層

19…p型ガードリング層

30 20…半絶縁性部材

21…支持基体

22…SOI絶縁膜

23…n型ベース層（SOI半導体膜）

24…絶縁膜

25…フィールドプレート電極

26…n型バッファ層

27…n型ベース層（n型ドリフト層）

28…p型ベース層

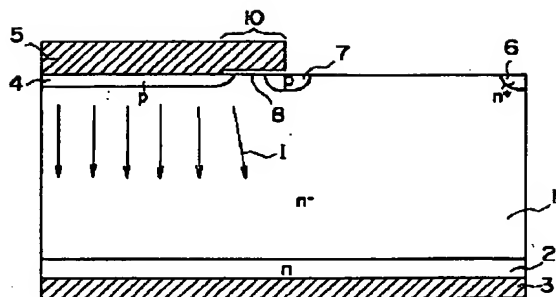
29…n型ソース層

40 30…ソース電極

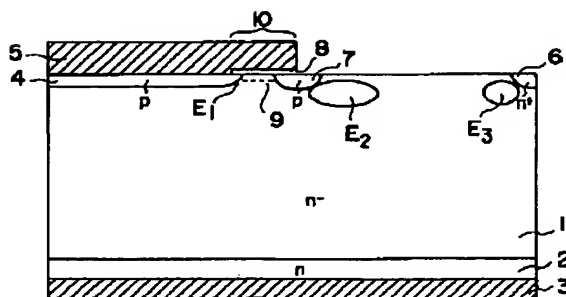
31…ドレイン電極

32…p型ドレイン層

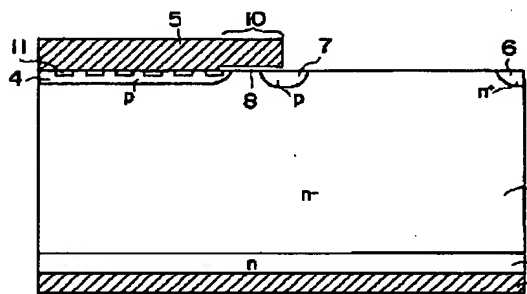
【図1】



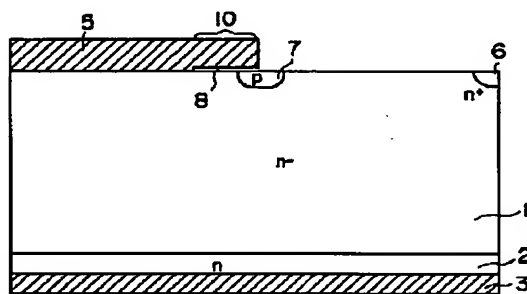
【図2】



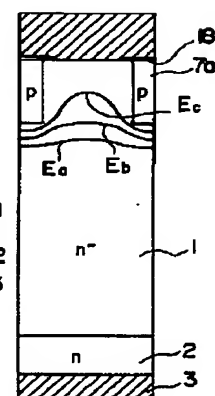
【図3】



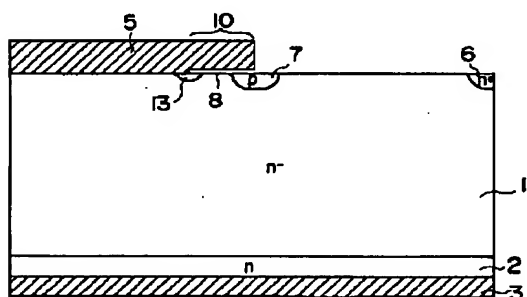
【図4】



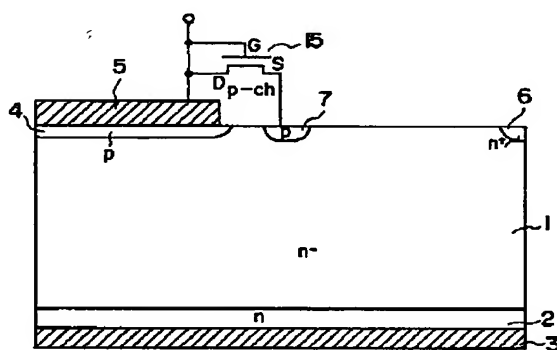
【図16】



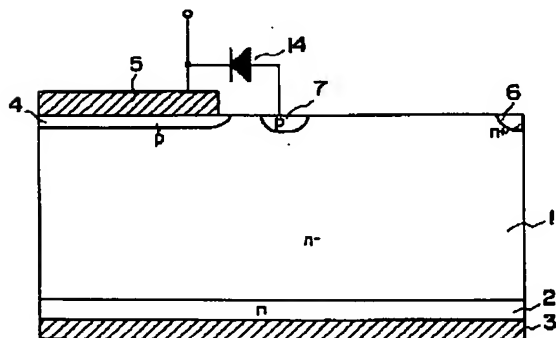
【図5】



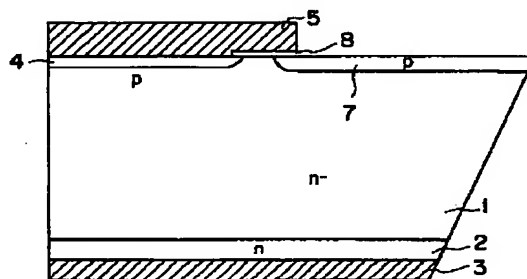
【図6】



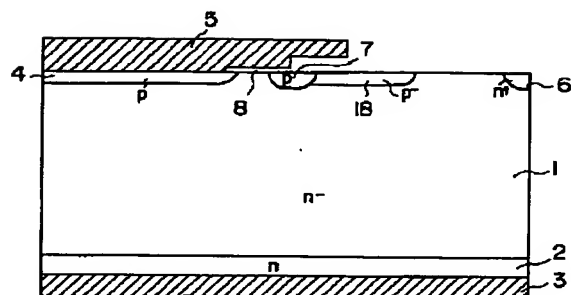
【図7】



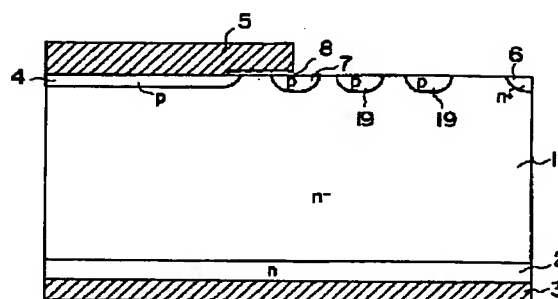
【図8】



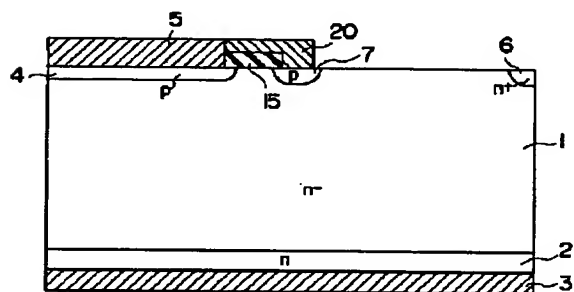
【図9】



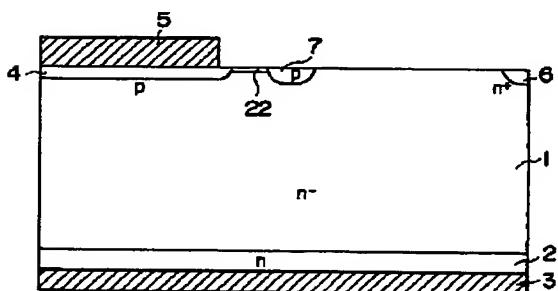
【図10】



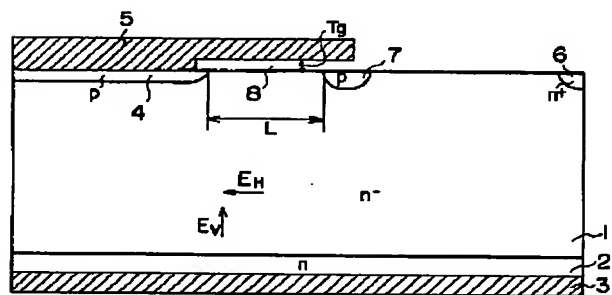
【図11】



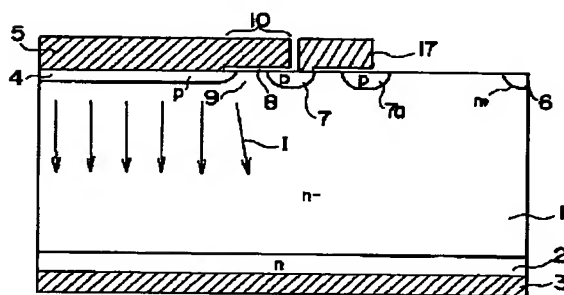
【図12】



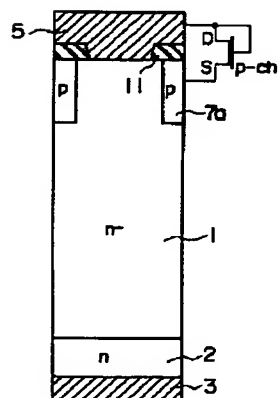
【図13】



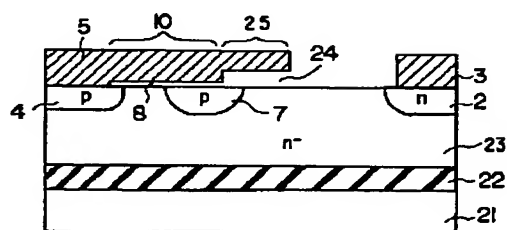
【図14】



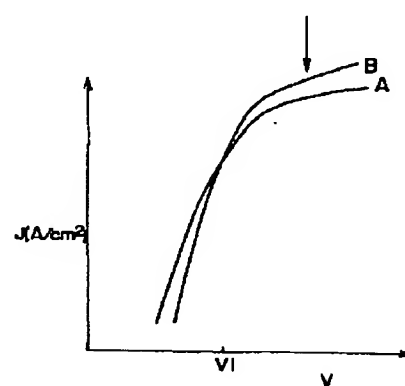
【図17】



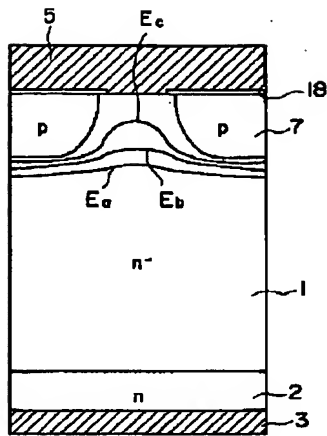
【図21】



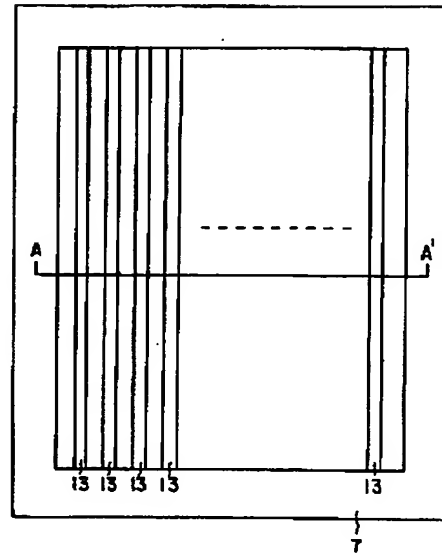
【図24】



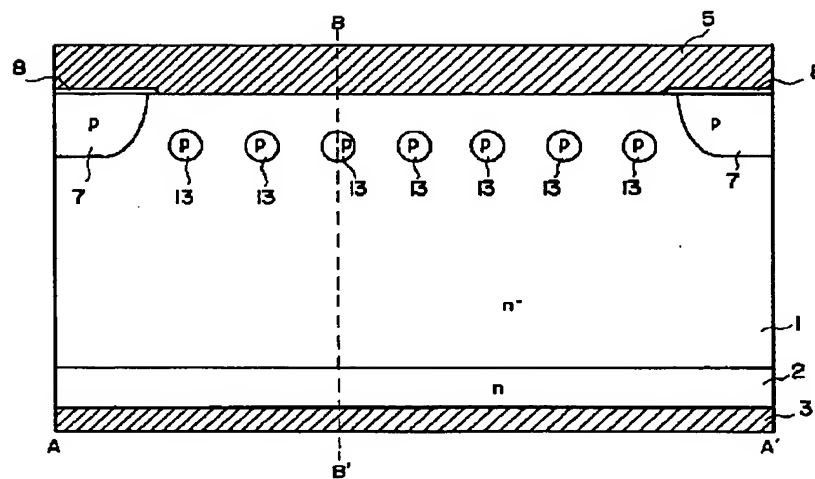
【圖 15】



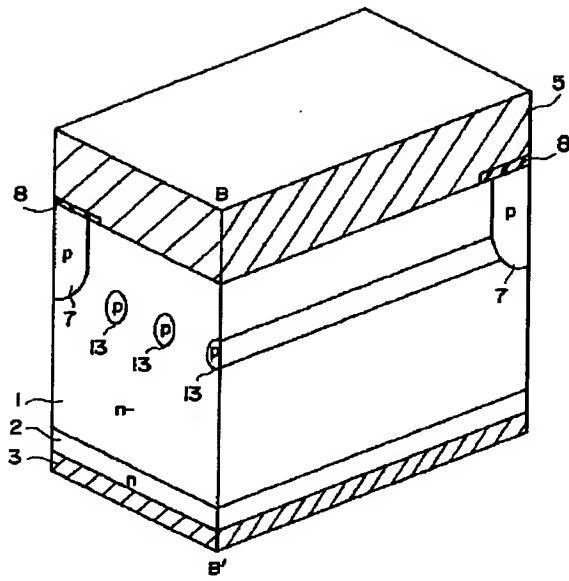
【图 18】



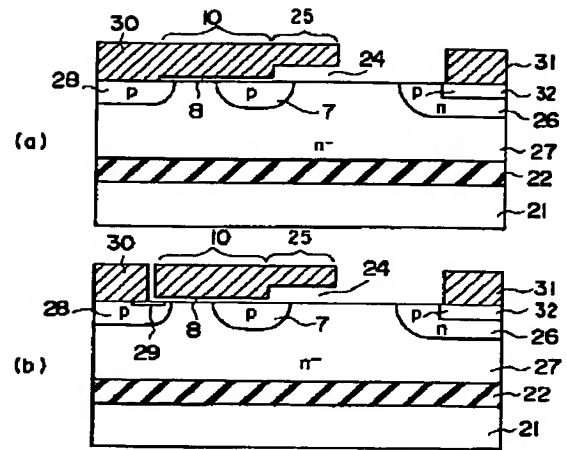
【圖 19】



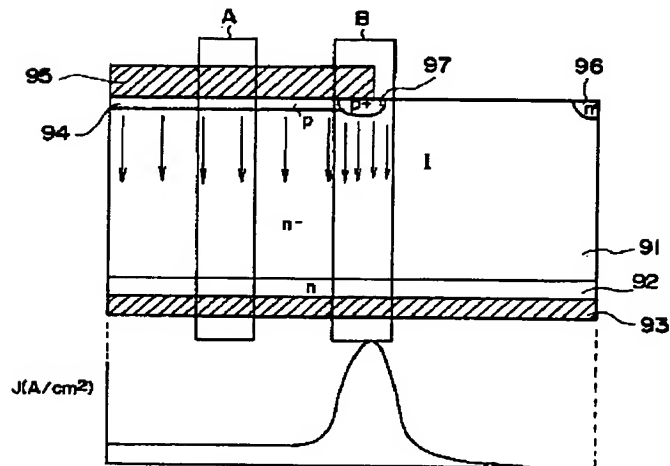
【図 20】



【図 22】



【図 23】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年4月13日(2001.4.13)

【公開番号】特開平8-293618
 【公開日】平成8年11月5日(1996.11.5)
 【年通号数】公開特許公報8-2937
 【出願番号】特願平7-95499
 【国際特許分類第7版】

H01L 29/861

【FI】

H01L 29/91 D
 L

【手続補正書】

【提出日】平成12年3月15日(2000.3.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】第1導電型半導体層と、

この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともにダイオードを構成する第1の第2導電型半導体層と、

前記第1導電型半導体層の表面に前記第1の第2導電型半導体層に接しずに前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、
 前記第1の第2導電型半導体層に設けられた第1の主電極と、

前記第1導電型半導体層に設けられた第2の主電極と、
 前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との間の前記第1導電型半導体層上に絶縁膜を介して配設された第3の電極とを具備してなることを特徴とする高耐圧半導体素子。

【請求項2】前記第3の電極は、前記第1の主電極と電氣的に接続されていることを特徴とする請求項1に記載の高耐圧半導体素子。

【請求項3】前記第3の電極は、前記第1の主電極と一体的に形成されていることを特徴とする請求項1に記載の高耐圧半導体素子。

【請求項4】第1導電型半導体層と、

この第1導電型半導体層の表面に選択的に形成され、前記第1導電型半導体層とともに第1のダイオードを構成する第1の第2導電型半導体層と、

前記第1導電型半導体層の表面に前記第1の第2導電型半導体層に接しずに前記第1の第2導電型半導体層を囲むように形成された第2の第2導電型半導体層と、

前記第1の第2導電型半導体層に設けられた第1の主電極と、

前記第1導電型半導体層に設けられた第2の主電極と、
 アノード側が前記第2の第2導電型半導体層に接続され、カソード側が前記第1の主電極に接続された第2のダイオードとを具備してなることを特徴とする高耐圧半導体素子。

【請求項5】前記絶縁膜の厚さは、 $0.5\mu\text{m}$ 以下であることを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項6】前記第1の第2導電型半導体層と前記第2の第2導電型半導体層との距離は、前記絶縁膜の厚さの30倍以上であることを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項7】前記絶縁膜は、熱酸化膜であることを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項8】前記第2の第2導電型半導体層は、前記第1の第2導電型半導体層よりも深く形成されていることを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項9】前記第2の第2導電型半導体層の表面不純物濃度は、前記第1の第2導電型半導体層の実質的な表面不純物濃度よりも高いことを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項10】前記第2の第2導電型半導体層の不純物総量は、前記第1の第2導電型半導体層の実質的な不純物総量よりも多いことを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

【請求項11】前記第2の第2導電型半導体層は、前記第1導電型半導体層の表面に拡散形成されたもの、または前記第1導電型半導体層の表面に埋込み形成されたものであることを特徴とする請求項1または請求項4に記載の高耐圧半導体素子。

THIS PAGE BLANK (USPTO)